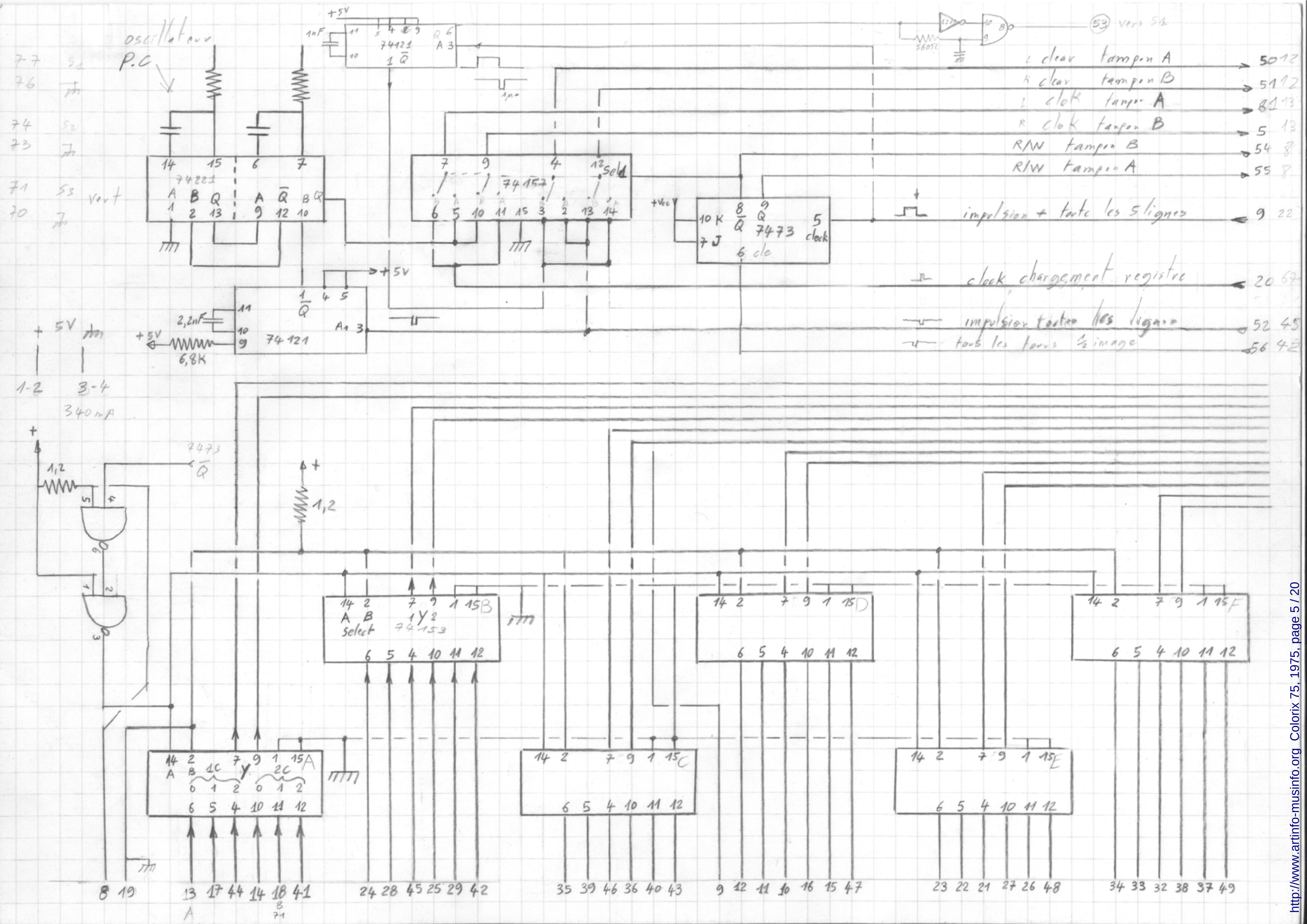
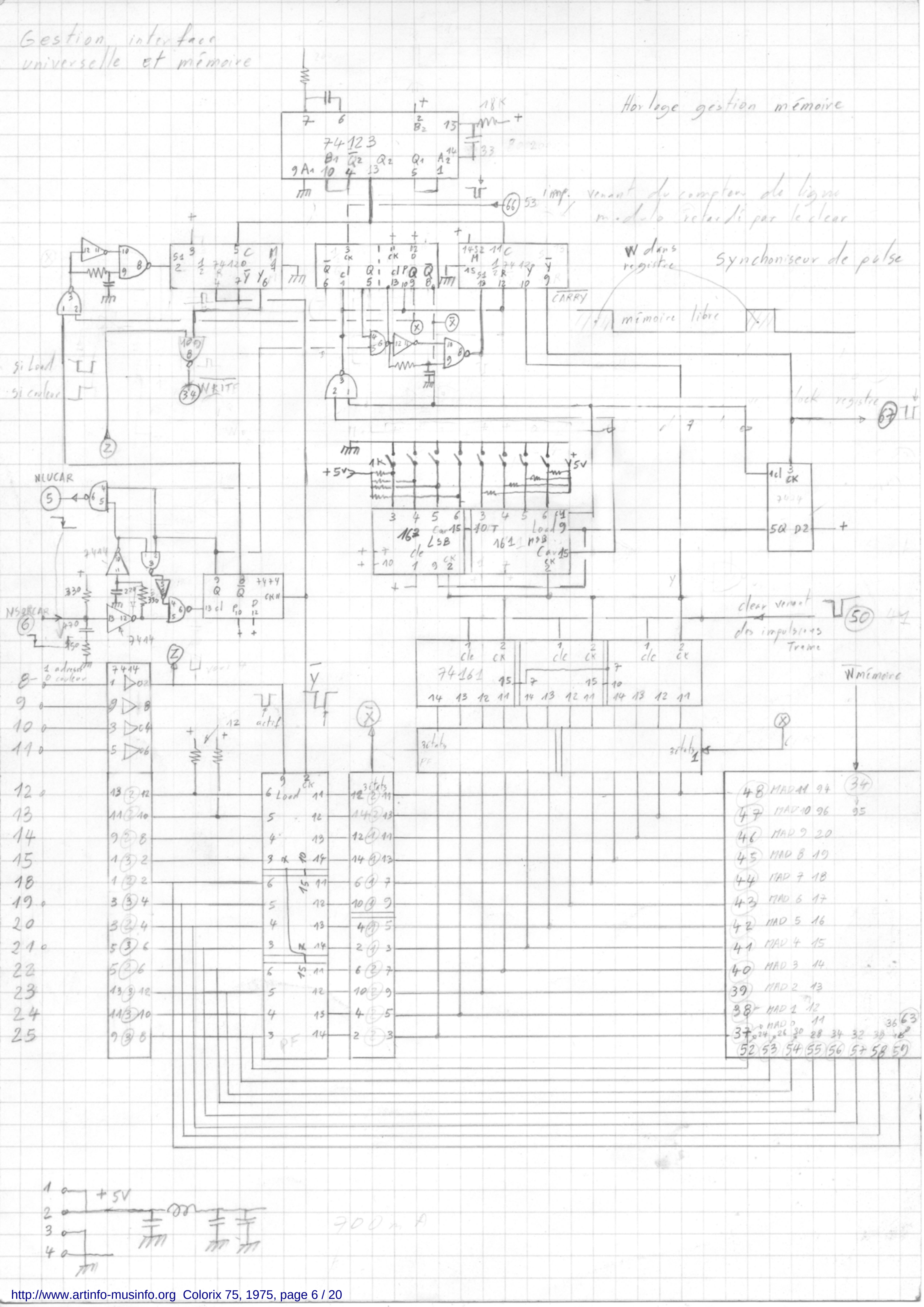
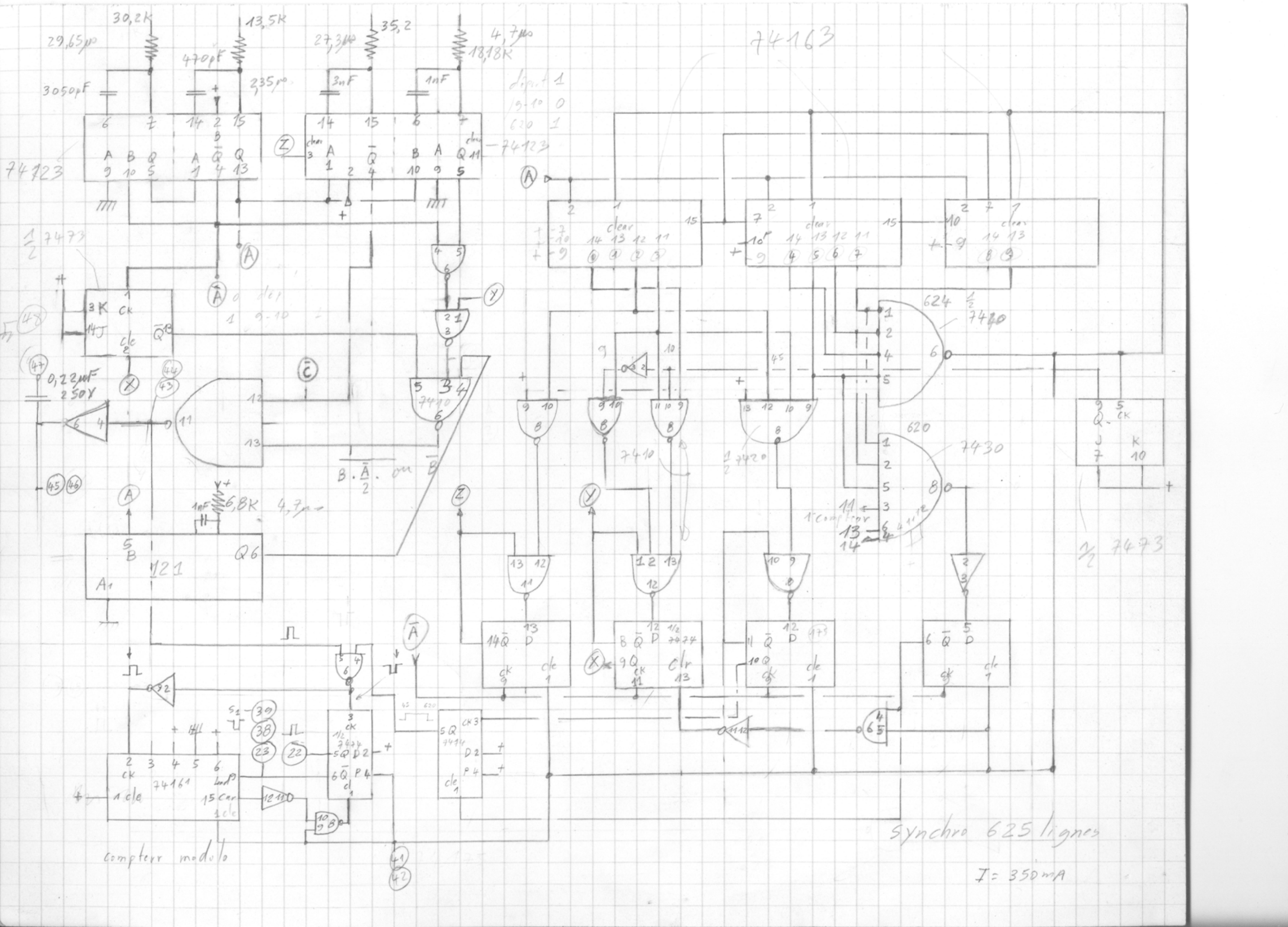
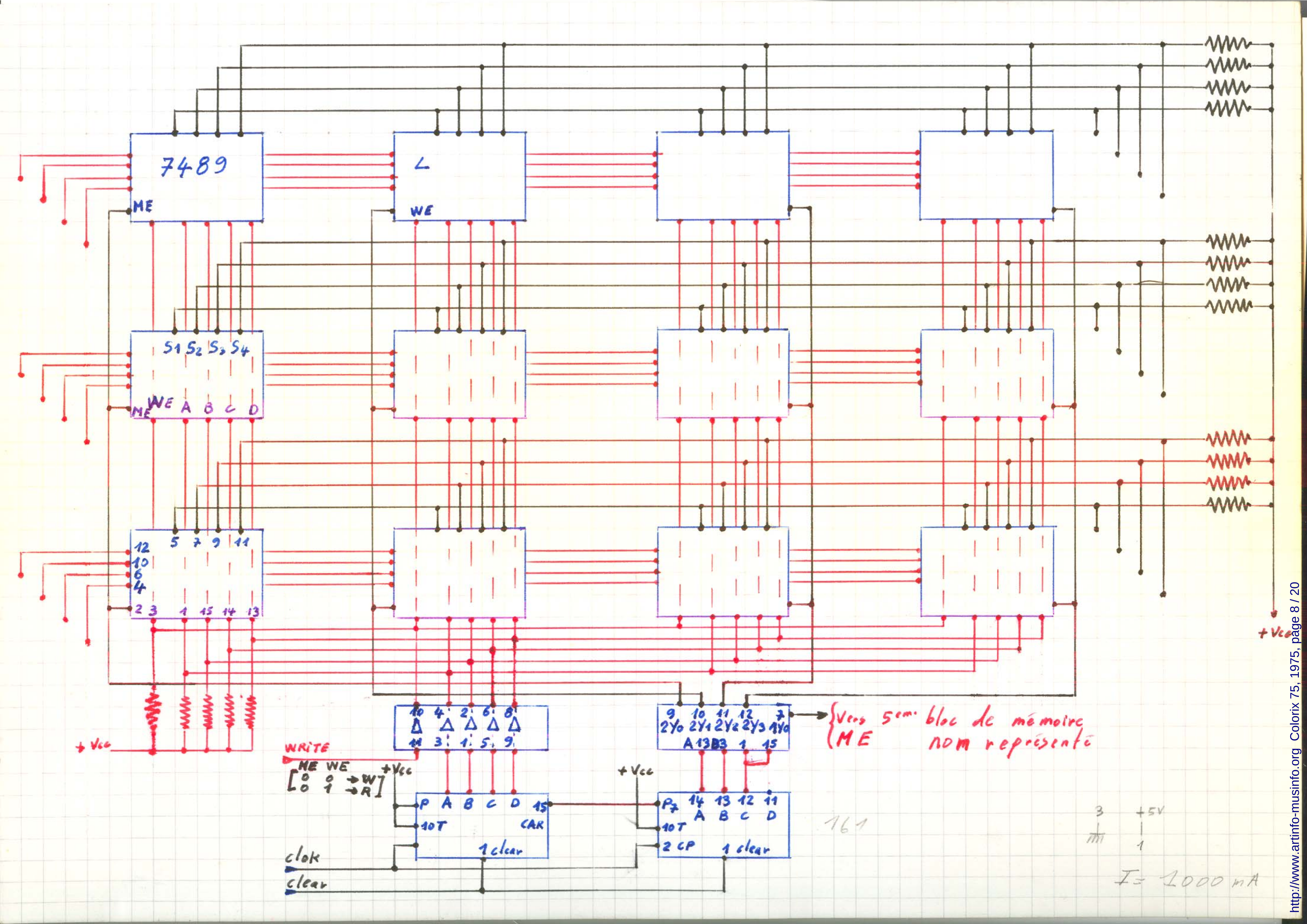

oscillateur
P.C
74221
74121
74153
7473
clear tampon A
clear tampon B
clok tampon A
clok tampon B
R/W tampon B
R/W tampon A
impulsion + forte les 5 lignes
clock chargement registre
impulsion toutes les lignes
tous les tours ½ image


Gestion interface universelle et mémoire
Horloge gestion mémoire
74123
18K
imp. venant du compteur de ligne modulo retardé par le clear
Synchoniseur de pulse
W dans registre
mémoire libre
CARRY
74120
WRITE
si Load
si couleur
clock registre
NLUCAR
7474
7414
+5V
1K
LSB
MSB
Load
clear venant des impulsions Trame
74161
W mémoire
1 adresse 0 couleur
3 états
actif
MAD 11
MAD 10
MAD 9
MAD 8
MAD 7
MAD 6
MAD 5
MAD 4
MAD 3
MAD 2
MAD 1
MAD 0
+ 5V


74163
74123
1/2 7473
74121
74161
compteur modulo
Synchro 625 lignes
I = 350 mA


7489
ME
WE
S1 S2 S3 S4
ME WE A B C D
12 10 6 4 2 3
5 7 9 11
1 15 14 13
+Vcc
WRITE
ME WE
[0 0 → W
0 1 → R]
P A B C D 15
10T
CAR
1 clear
P7 14 13 12 11
A B C D
2 CP
9 10 11 12 7
2Y0 2Y1 2Y2 2Y3 1Y0
A 13 B3 1 15
Vers 5ème bloc de mémoire non représenté
ME
clok
clear
161
3
+5V
1
I = 1000 mA

CONVERTISSEUR D/A 4 bits VERSION = 1

Uref

2

C2

R2

3

C3

R3

1

6

5

C4

R4

7

11

9

10

C5

R5

8

13

12

14

IH 5010

C1

4

R1

R6

C7

2

8

CI

LM318

5

3

R7

C6

Rc

7

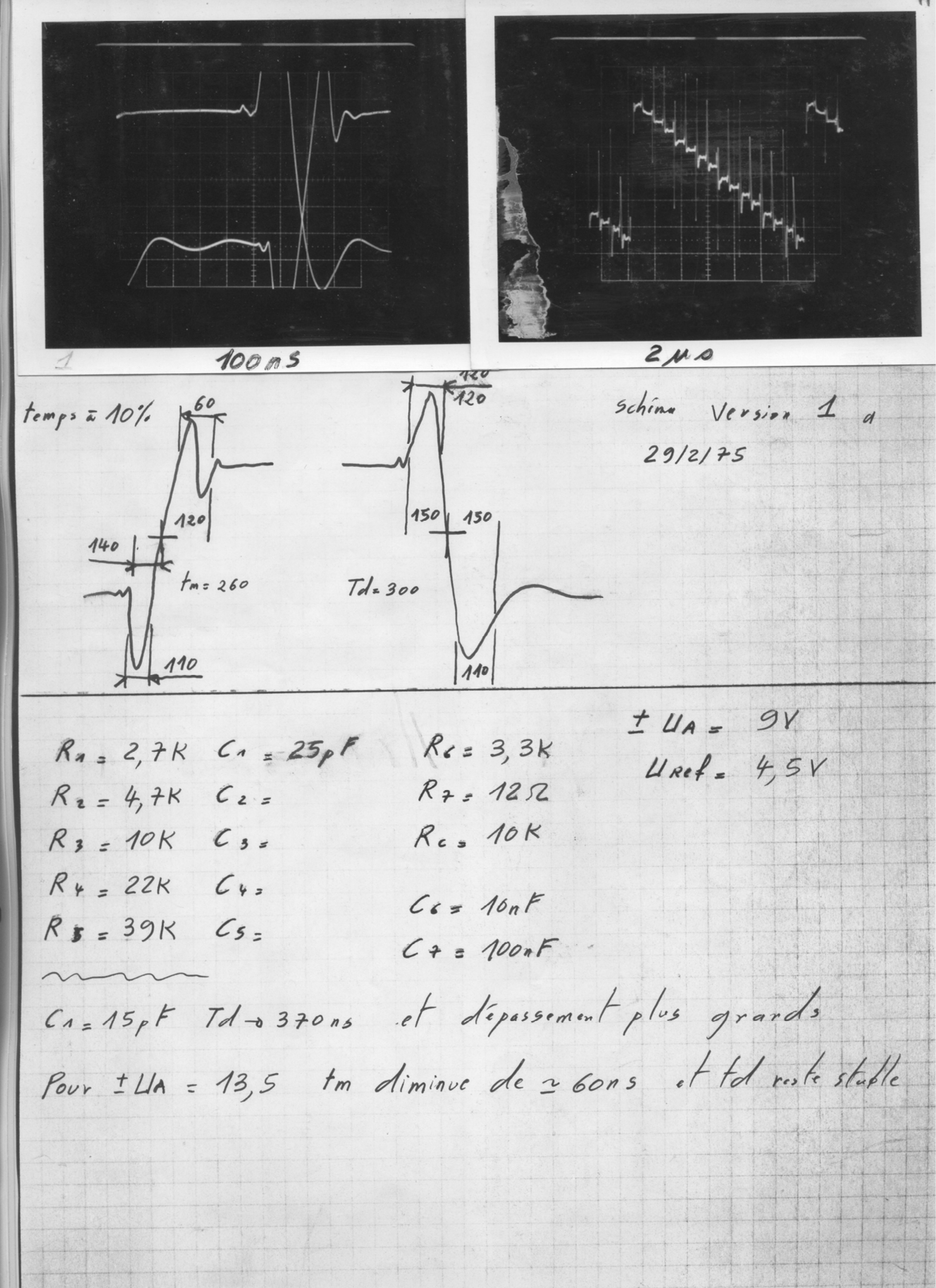
+UA

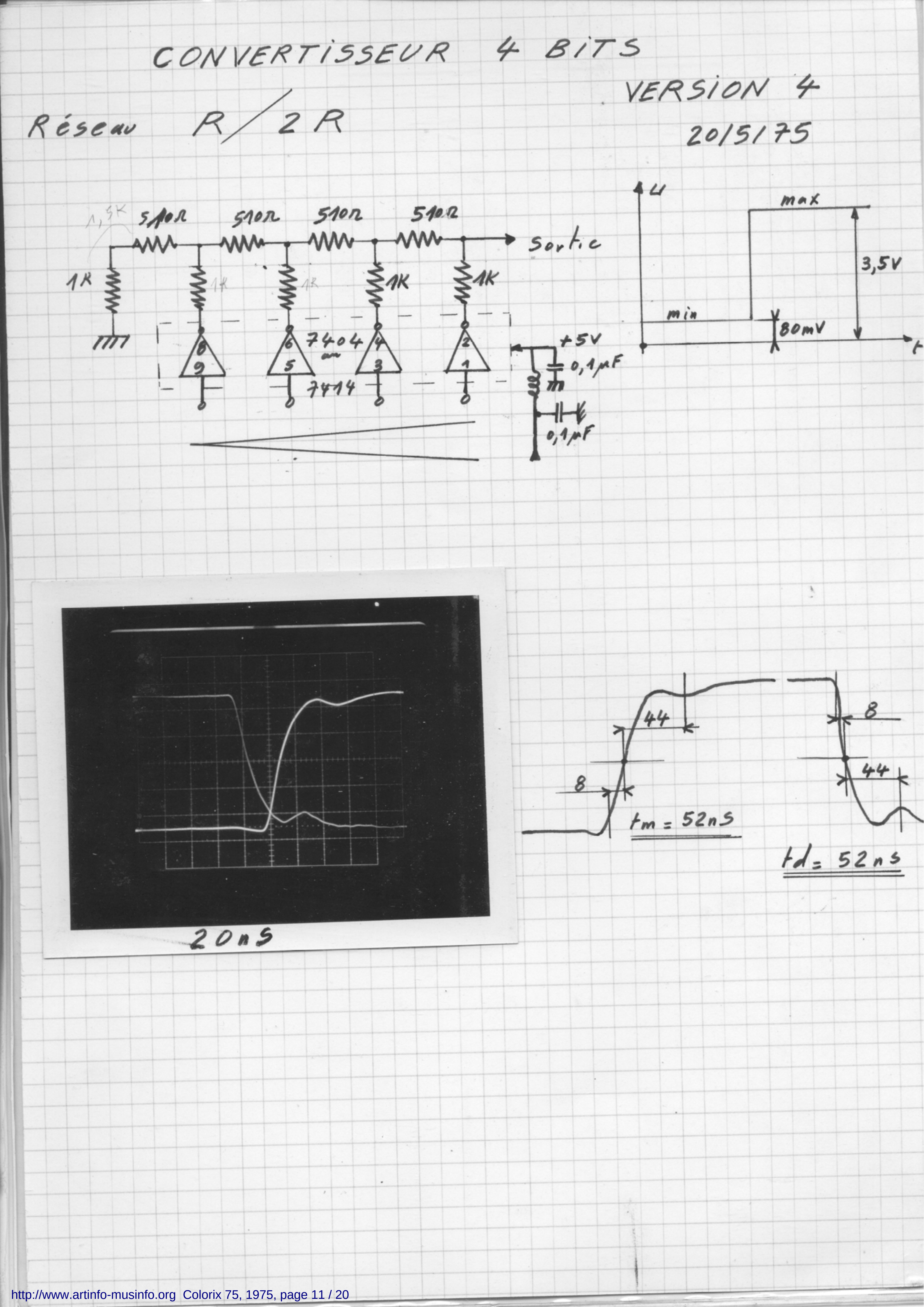
10nF

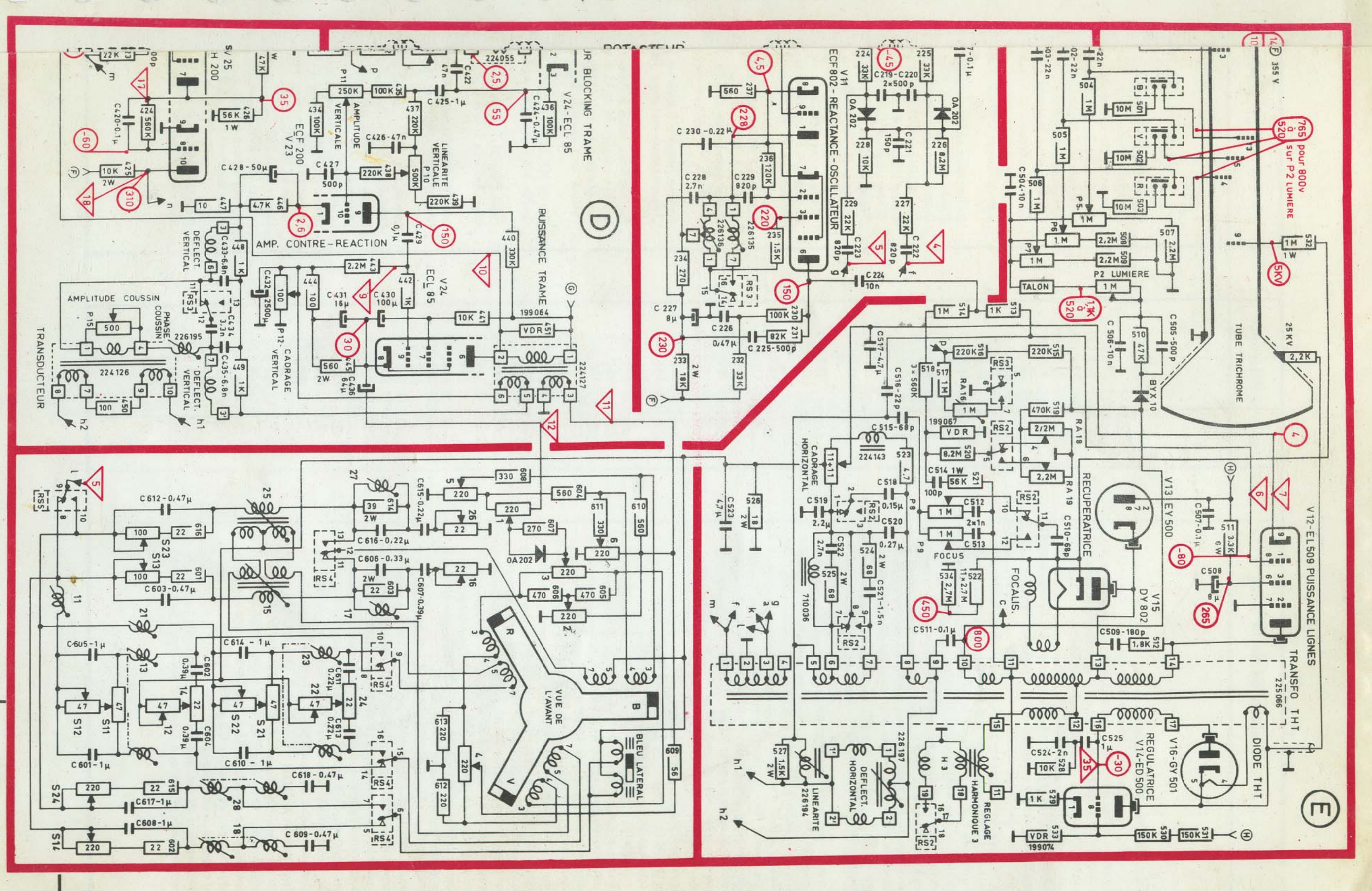
10nF

-UA

4


H
1
100 nS
2 µs
temps à 10%
60
120
120
120
140
tm = 260
110
150
150
Td = 300
110
schéma Version 1 d
29/2/75
± UA = 9V
Uref = 4,5V
R1 = 2,7K C1 = 25pF
R2 = 4,7K C2 =
R3 = 10K C3 =
R4 = 22K C4 =
R5 = 39K C5 =
R6 = 3,3K
R7 = 12Ω
Rc = 10K
C6 = 10nF
C7 = 100nF
C1 = 15pF Td → 370ns et dépassement plus grands
Pour ± UA = 13,5 tm diminue de ≃ 60ns et td reste stable

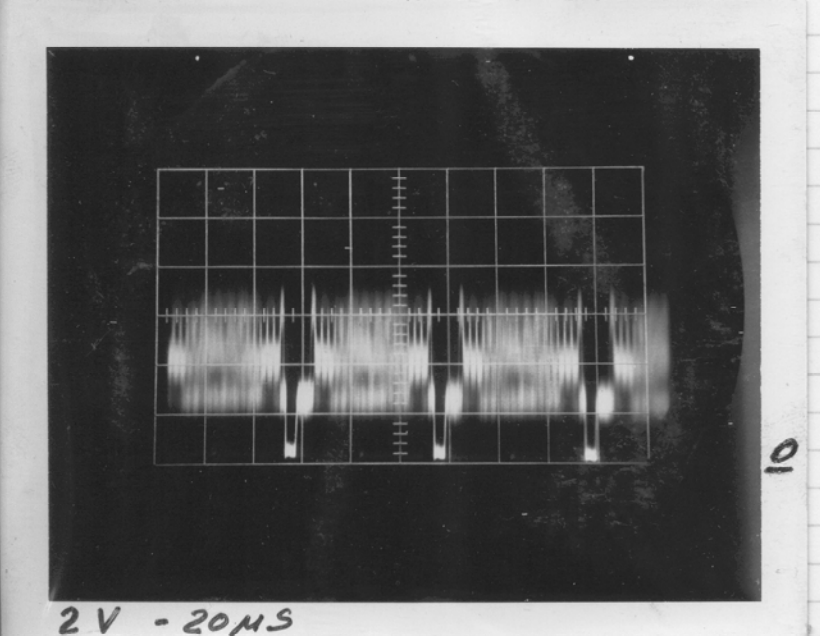

CONVERTISSEUR 4 BITS
VERSION 4
20/5/75
Réseau R/2R
1,5K
510Ω
510Ω
510Ω
510Ω
Sortie
1K
1K
1K
1K
1K
7404
ou
7414
+5V
0,1µF
0,1µF
u
max
min
3,5V
80mV
t
20nS
44
8
tm = 52nS
8
44
td = 52ns



TV COULEUR Chassis «6·01» éd. A

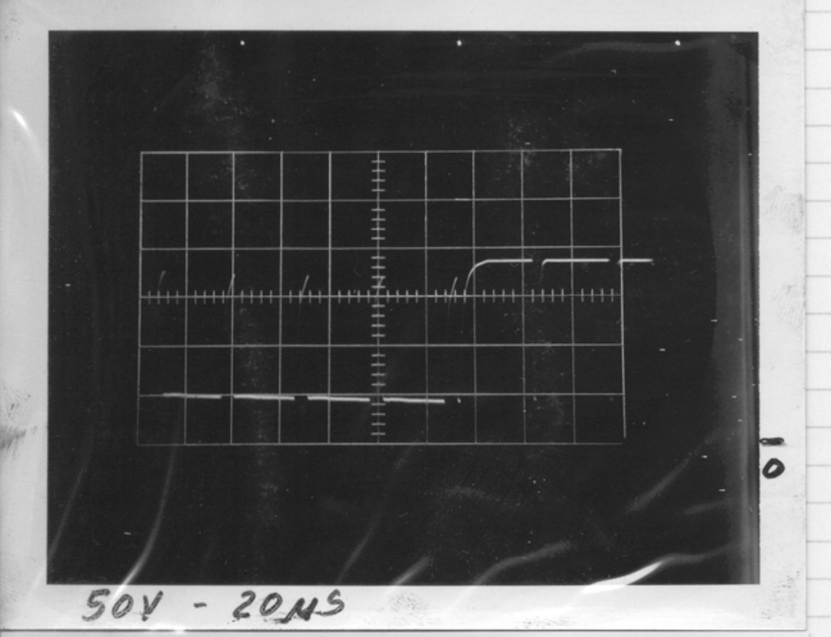
SIGNAUX TV COULEUR
TYPE 6.01

24/5/75



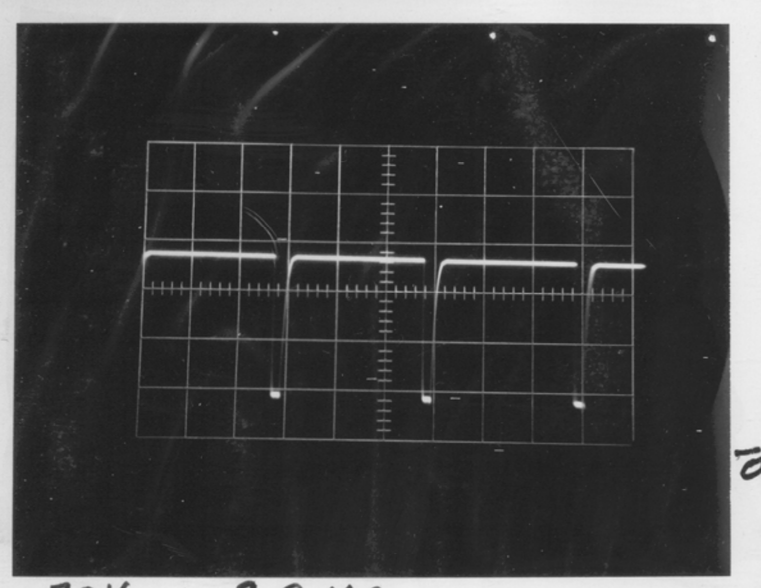
2 V - 20μS

signal 3ᵉ chaine couleur
point testé : sortie
détection broche ⑨
du relais RS1 chassis B
synchro ext. V11 ⑥ (anode)



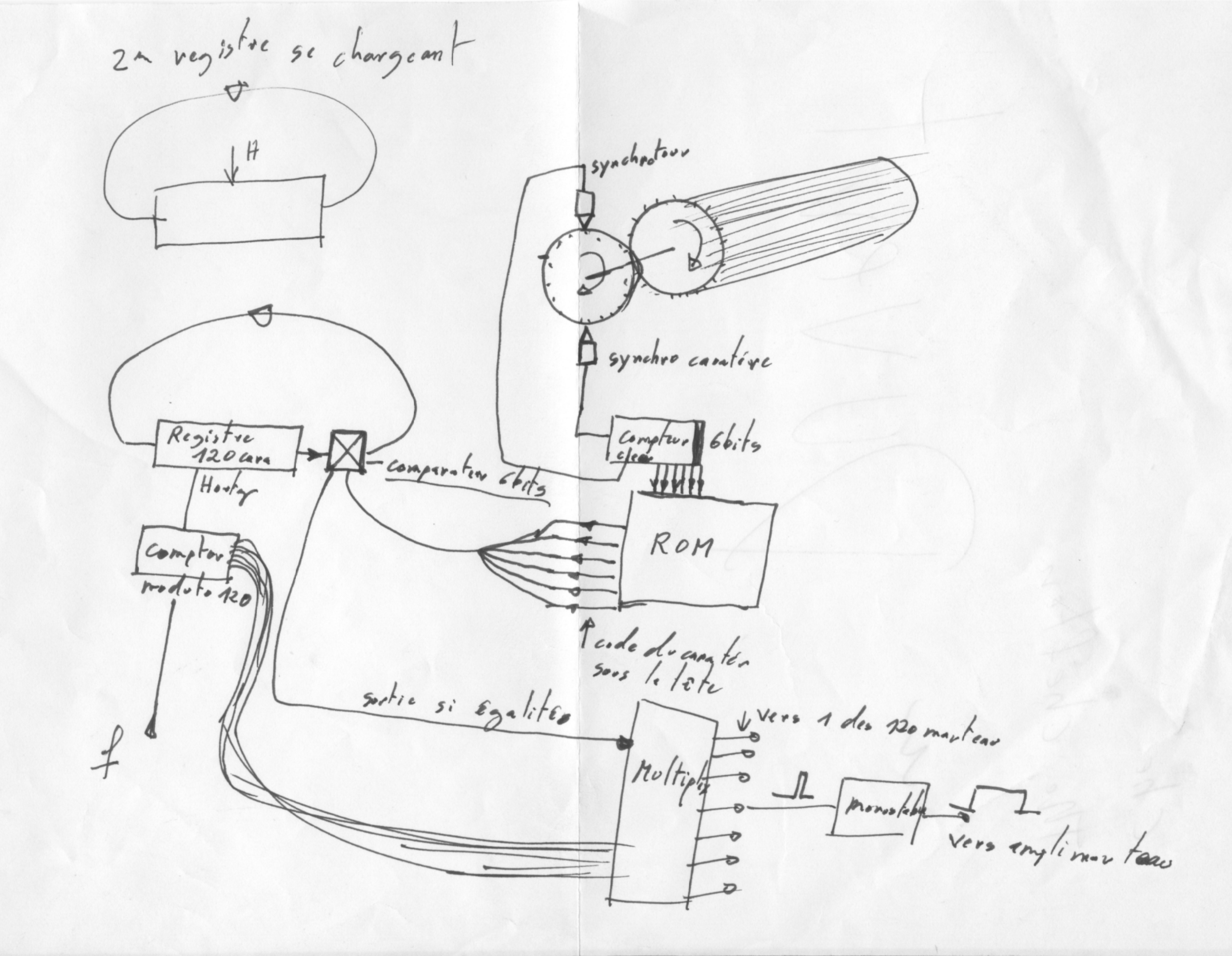
50V - 20μS

signal 3ᵉ chaine couleur mire
point testé :
séparatrice V9 ⑦ anode
synchro interne
Remarque : on voit le début
d'une trame avec des impulsions
½ lignes



50V - 20μS

idem mais ici synchro sur
les impulsion lignes


2m registre se chargeant
H
Registre 120 cara
Horloge
Compteur modulo 120
f
comparateur 6bits
synchroteur
synchro caractère
Compteur clear
6bits
ROM
code du caractère sous la tête
sortie si Egalité
Multiplex
Vers 1 des 120 marteau
monostable
Vers ampli marteau

DETAIL DES SIGNAUX DE SYNCHRONISATION DE TRAME

